



TRANSMITTAL FORM <i>(to be used for all correspondence after initial filing)</i>		Application No.	10/750,078
		Filing Date	December 31, 2003
		First Named Inventor	Young-Jae Cho
		Art Unit	
		Examiner Name	
Total Number of Pages in This Submission	6	Attorney Docket Number	51876P567

ENCLOSURES (check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Response <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input type="checkbox"/> PTO/SB/08 <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Basic Filing Fee <input type="checkbox"/> Declaration/POA <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s)	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below): <div style="border: 1px solid black; padding: 5px; margin-top: 10px;">Request for Priority; return postcard</div>
Remarks		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Eric S. Hyman, Reg. No. 30,139 BLAKELY, SOKOLOFF, TAYLOR & ZAFMAN LLP
Signature	
Date	2/25/04

CERTIFICATE OF MAILING/TRANSMISSION			
I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.			
Typed or printed name	Melissa Stead		
Signature		Date	2-26-04



FEE TRANSMITTAL for FY 2004

Effective 01/01/2004. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27.

TOTAL AMOUNT OF PAYMENT

(\$)

Complete if Known

Application Number	10/750,078
Filing Date	December 31, 2003
First Named Inventor	Young-Jae Cho
Examiner Name	
Art Unit	
Attorney Docket No.	51876P567

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None
☒ Deposit Account

Deposit Account Number

02-2666

Deposit Account Name

Blakely, Sokoloff, Taylor & Zafman LLP

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments
☒ Charge any additional fee(s) or underpayment of fees as required under 37 CFR §§ 1.16, 1.17, 1.18 and 1.20.
☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$)

2. EXTRA CLAIM FEES

Total Claims - 20 = X =
Independent Claims - 3 = X =
Multiple Dependent X =

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple Dependent claim, if not paid	
1204	86	2204	43	**Reissue independent claims over original patent	
1205	18	2205	9	**Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$)

**or number previously paid, if greater, For Reissues, see below

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
2053	130	2053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920 *	1804	920 *	Requesting publication of SIR prior to Examiner action	
1805	1,840 *	1805	1,840 *	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	960	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	1,210	2255	605	Extension for reply within fifth month	
1404	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	2451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	2460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	1809	385	Filing a submission after final rejection (37 CFR § 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR § 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

* Reduced by Basic Filing Fee Paid

SUBTOTAL (3)

(\$)

SUBMITTED BY

Complete (if applicable)

Name (Print/Type)

Eric S. Hyman

Registration No.
(Attorney/Agent)

30,139

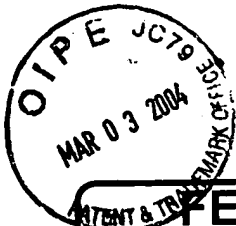
Telephone

(310) 207-3800

Signature

Date

Based on PTO/SB/17 (10-03) as modified by Blakely, Sokoloff, Taylor & Zafman (wir) 02/10/2004.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



PATENT & TRADEMARK OFFICE FEE TRANSMITTAL for FY 2004

Effective 01/01/2004. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27.

TOTAL AMOUNT OF PAYMENT (\$)

Complete if Known

Application Number	10/750,078
Filing Date	December 31, 2003
First Named Inventor	Young-Jae Cho
Examiner Name	
Art Unit	
Attorney Docket No.	51876P567

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None
☒ Deposit Account

Deposit Account Number

02-2666

Deposit Account Name

Blakely, Sokoloff, Taylor & Zafman LLP

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments
☒ Charge any additional fee(s) or underpayment of fees as required under 37 CFR §§ 1.16, 1.17, 1.18 and 1.20.
☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	

SUBTOTAL (1)

(\$)

2. EXTRA CLAIM FEES

Total Claims 20* = X =
Independent Claims 3 = X =
Multiple Dependent =

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple Dependent claim, if not paid	
1204	86	2204	43	**Reissue independent claims over original patent	
1205	18	2205	9	**Reissue claims in excess of 20 and over original patent	

SUBTOTAL (2)

(\$)

*or number previously paid, if greater, For Reissues, see below

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
2053	130	2053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920 *	1804	920 *	Requesting publication of SIR prior to Examiner action	
1805	1,840 *	1805	1,840 *	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	1,210	2255	605	Extension for reply within fifth month	
1404	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	2451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	2460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	1809	385	Filing a submission after final rejection (37 CFR § 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR § 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

* Reduced by Basic Filing Fee Paid

SUBTOTAL (3)

(\$)

SUBMITTED BY

Complete (if applicable)

Name (Print/Type) Eric S. Hyman

Registration No. (Attorney/Agent)

30,139

Telephone

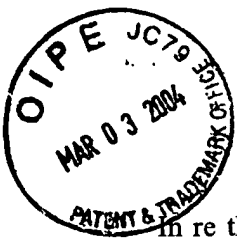
(310) 207-3800

Signature

Date

2/25/04

Based on PTO/SB/17 (10-03) as modified by Blakely, Sokoloff, Taylor & Zafman (w/r) 02/10/2004.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



DOCKET NO.: 51876P567

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

YOUNG-JAE CHO, ET AL.

Application No.: 10/750,078

Filed: December 31, 2003

For: **SEMICONDUCTOR DEVICE
HAVING ON-CHIP REFERENCE
VOLTAGE GENERATOR**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2003-84388	26 November 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 2/5/04

Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Melissa Stead
Melissa Stead

2/26/04
Date



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0084388
Application Number

출원 년 월 일 : 2003년 11월 26일
Date of Application NOV 26, 2003

출원인 : 주식회사 
Applicant(s) Hynix Semi



2003

년

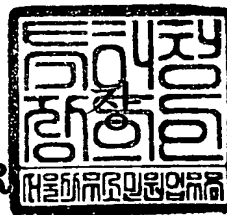
월

일

Copy 1st
+ 2nd pg
only

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.11.26
【발명의 명칭】	온 -칩 기준전압 발생장치를 구비하는 반도체 칩
【발명의 영문명칭】	SEMICONDUCTOR CHIP WITH ON CHIP REFERENCE VOLTAGE GENERATOR
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	조영재
【성명의 영문표기】	CHO, Young Jae
【주민등록번호】	760725-1226115
【우편번호】	450-152
【주소】	경기도 평택시 비전2동 동아목련아파트 102-203
【국적】	KR
【발명자】	
【성명의 국문표기】	이승훈
【성명의 영문표기】	LEE, Seung Hoon
【주민등록번호】	560930-1093812
【우편번호】	140-031
【주소】	서울특별시 용산구 동부이촌동 반도아파트 2-210
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	8	면	8,000	원
---------	---	---	-------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	20	항	749,000	원
---------	----	---	---------	---

【합계】	786,000	원		
------	---------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 고주파 스위칭 잡음 및 글리치를 효과적으로 제거하여 기준전압을 빠른 내에 안정화 시킬 수 있으며, 적은 면적과 고해상도에서 높은 속도를 갖는 ADC 칩을 제공하기 위한 것으로, 이를 위한 본 발명으로 아날로그 입력신호를 양자화하기 위한 기준전압을 제공하는 온-칩 기준 전압 발생수단; 및 상기 기준전압을 이용하여 아날로그 입력신호를 디지털 출력신호로 변환시키기 위한 변화수단을 구비하는 ADC 칩을 제공한다.

【대표도】

도 2

【색인어】

기준전압, RC 필터, 쉬프터, 온칩, ADC

【명세서】**【발명의 명칭】**

온-칩 기준전압 발생장치를 구비하는 반도체 칩{SEMICONDUCTOR CHIP WITH ON CHIP
REFERENCE VOLTAGE GENERATOR}

【도면의 간단한 설명】

도 1은 종래기술에 따른 ADC 칩의 내부 회로도.

도 2는 본 발명에 따른 ADC 칩의 내부 회로도.

도 3은 도 2의 온-칩 기준 전압 발생부 및 RC 필터의 내부 회로도.

도 4는 도 3의 RC 필터를 위한 온-칩 커패시터의 구현회로도.

도 5는 도 2의 회로 내 온-칩 기준전압 발생부 시뮬레이션 결과도.

도 6은 본 발명에 따른 ADC 칩의 샘플.

도 7은 도 6의 샘플의 DNL 및 INL 측정 결과도.

도 8은 도 6의 샘플의 디지털신호의 스펙트럼.

도 9a 및 도 9b는 입력주파수 및 샘플링 주파수에 따른 SFDR 및 SNDR 측정 결과도.

도 10은 타 ADC와 본 발명에 따른 ADC 칩의 성능 비교도.

* 도면의 주요 부분에 대한 설명

200 : 온-칩 기준전압 발생부

300 : RC 필터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 반도체 설계 기술에 관한 것으로, 특히 온-칩 기준전압 발생장치를 구비하는 반도체 칩에 관한 것이다.
- <15> 최근 고밀도 VLSI 공정 기술과 더불어 디지털 신호 처리 기술의 급속한 발전으로 인하여 고화질 비디오 시스템, 차세대 개인 휴대용 통신 기기, 고속 무선통신망 및 의료 영상 시스템 등에 사용되는 고성능 A/D 변환기(Analog Digital Converter; 이하 'ADC'라고 함)에 대한 요구가 점차 증가하고 있다. 특히, 평판 패널 디스플레이, 의료영상처리, RGB 그래픽 처리, 디지털 데이터 저장 읽기 채널 등의 응용 시스템에 사용되는 ADC는 샘플링 속도가 200MS/s이상 이고, 8비트 수준의 해상도를 가지면서 작은 면적에 적은 전력소모가 필수적이다.
- <16> 도 1은 종래기술에 따른 ADC 칩의 내부 회로도이다.
- <17> 도 1을 참조하면, ADC 칩은 입력된 아날로그신호(AIN)를 샘플링하기 위한 SHA(Sample and Hold Amplifier; 이하 'SHA'라 함, 11)와, 입력받은 아날로그신호를 3bit 또는 4bit 디지털 신호로 변환하기 위한 ADC1, ADC2, ADC3(12, 14, 16)와, 디지털신호와 디지털신호로 변화되기 이전 아날로그신호와의 차이를 증폭하여 출력하기 위한 MDAC1, MDAC2(Multiplying Digital Analog Converter; 이하 'MDAC'라고

함, 13, 15)와, ADC1, ADC2, ADC3(12, 14, 16) 출력신호의 에러를 정정하여 출력하기 위한 DCL(Digital Correction Logic; 이하 'DCL'라 함, 17)과, DCL(17)의 출력신호를 1/2 또는 1/4로 다운 샘플링 하기 위한 DCM(Decimator, 18)를 구비한다.

- <18> 참고적으로, 온-칩으로 구현된 ADC칩은 도면에 도시되진 않았으나 클럭제공부에 의해 제공되는 다양한 페이지의 클럭을 사용하며, 또한 ADC칩은 파이프라인(pipeline) 구조를 갖는다.
- <19> 다음으로 동작을 살펴보면, SHA(11)는 입력된 아날로그신호(AIN)를 샘플링하여 출력하며, ADC1(12)는 SHA(11)의 출력신호를 3bit의 디지털신호로 출력한다. 이어 MDAC1(13)은 SHA(11)와 ADC1(12)의 출력신호를 비교하여 그 차이를 증폭하여 출력하며, ADC2(14)는 이를 3bit 디지털 신호로 출력한다. 이어 MDAC2(15)는 MDAC1(13) 및 ADC2(14)의 출력신호를 비교하여 그 차이를 증폭하여 출력하며, ADC3(16)는 이를 4bit 디지털 신호로 출력한다. 이어 DCL(17)은 입력된 아날로그 신호(AIN)를 디지털신호로 변화하는 과정에서 발생하는 오프셋(offset) 및 클럭 피드스루(Clock Feedthrough) 등의 비선형 오차(nonlinearity error)를 제거하기 위해, ADC1, ADC2 및 ADC3(12, 14, 16)의 출력신호 중 2bit를 중첩시켜 8bit 디지털신호(DOUT)를 DCM(18)를 거쳐 최종 출력한다.
- <20> 한편, 이러한 ADC칩은 입력된 아날로그 신호가 갖는 연속된 값을 불연속적인 값으로 표현하는데 기준이 되는 기준전압을 외부에서 공급받아, 스위치드 커패시터(switched capacitor) 구조를 갖는 내부 회로에 제공한다. 기준전압은 반복되는 스위치드 커패시터에서의 충전방전으로 인해 고주파 스위칭 잡음과 글리치를 포함하게 된다. 따라서, 기준전압 내 포함된 고주파 스위칭 잡음 및 글리치를 제거하기 위해 칩의 외부에 수 μF 커패시터를 사용한다.

<21> 그러나 외부의 커패시터는 와이어 본딩에 존재하는 기생 인덕턴스 및 커패시턴스의 영향으로 인해 고주파 스위칭 잡음 및 글리치를 효과적으로 제거하지 못하여 기준전압을 빠른시간 내 안정화 시키지 못하는 단점을 갖는다.

<22> 또한, 기준전압을 공급받기 위해 추가적으로 할당된 핀은 핀 제약이 많은 온-칩에는 부적절할 뿐 아니라, 큰 용량의 커패시터는 면적이 크기 때문에 SoC의 핵심 코어셀의 일부로 부적절하다.

【발명이 이루고자 하는 기술적 과제】

<23> 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 제안된 것으로, 고주파 스위칭 잡음 및 글리치를 효과적으로 제거하여 기준전압을 빠른 내에 안정화 시킬 수 있으며, 적은 면적과 고해상도에서 높은 속도를 갖는 반도체 칩을 제공한다.

【발명의 구성 및 작용】

<24> 상기의 기술적 과제를 달성하기 위한 본 발명의 일측면에 따르면, ADC 칩은 아날로그 입력신호를 양자화하기 위한 기준전압을 제공하는 온-칩 기준 전압 발생수단; 및 상기 기준전압을 이용하여 아날로그 입력신호를 디지털 출력신호로 변환시키기 위한 변화수단을 구비한다.

<25> 또한, 본 발명의 타 측면에 따르면, ADC 칩은 상기 온-칩 기준전압 발생수단의 출력노드에 인가된 노이즈를 제거하기 위해 RC 필터를 더 구비한다.

<26> 전술한 본 발명은 ADC 칩 내에 기준전압 발생수단을 구비하고 그 출력노드에 RC 필터를 구비함으로써, 고주파 스위칭 잡음 및 글치를 효과적으로 제거하여 빠르게 안정화된 기준전압

을 공급한다. 이는 ADC 칩 내부에 온-칩 기준전압 발생수단 및 RC 필터를 구비하여 와이어 본딩을 거치지 않기 때문이다.

<27> 또한, ADC 칩 내부에 온-칩되기 때문에 별도의 핀 할당이 필요하지 않아 핀 제약이 많은 SoC에 적합하며, 외부에 큰 용량의 커패시터도 필요치 않게 되어 면적에서 유리해 진다.

<28> 빠른 시간 내 안정화되는 기준전압을 공급 받으므로써, ADC 칩의 고속동작이 가능하다.

<29> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<30> 도 2는 본 발명에 따른 ADC 칩의 내부 회로도이다.

<31> 도 2를 참조하면, ADC 칩은 기준전압을 공급하기 위한 온-칩 기준전압 발생부(200)와, 온-칩 기준전압 발생부(200)의 출력노드에 인가된 노이즈를 제거하기 위한 RC 필터(300)와, 기준전압을 이용하여 입력된 아날로그 신호를 디지털 신호로 출력하기 위한 변환부(100)를 구비한다.

<32> 그리고 변환부(100)는 입력된 아날로그신호를 샘플링하기 위한 SHA(110)와, 입력된 아날로그신호를 3bit 디지털 신호로 변환하기 위한 ADC1, ADC2, ADC3(120, 140, 160)와, 디지털신호와 디지털신호로 변화되기 이전 신호와의 차이를 증폭하여 출력하기 위한 MDAC1, MDAC2(130, 150)와, ADC1, ADC2, ADC3(120, 140, 160) 출력신호의 에러를 정정하여 출력하기 위한 DCL(170)과, DCL(170)의 출력신호를 1/2 또는 1/4로 다운 샘플링 하기 위한 DCM(180)를 구비한다.

- <33> 참고적으로, SHA(110)는 플립 어라운드(flip-around) 구조를 가지며, MDAC1,2(130, 150)는 커패시터 전하 재분배 원리에 의해 2개 단위 커패시터를 단일 커패시터로 합치는 MCS 기법을 사용한다.
- <34> 한편, 이를 종래기술에 따른 ADC 칩과 비교하여 보면, 본 발명에 따른 ADC 칩은 면적의 손실 및 핀의 추가 배당없이 안정적인 기준전압을 발생하기 위해 온-칩 기준전압 발생부(200)를 내부에 구비하고 이를 위해 RC 필터(300)를 집적한다.
- <35> 온-칩 기준전압 발생부(200)가 공급한 기준전압은 변화부(100) 내 ADC1, ADC2 및 ADC3(120, 140, 160)가 아날로그 신호를 디지털 신호로 변환시키는 과정에서 사용되며, 또한 MDAC1 및 MDAC2(130, 150)가 신호를 증폭하여 출력하는 과정에서 증폭된 신호가 갖는 레벨을 조절하는 기준으로 사용된다.
- <36> 도 3은 온-칩 기준전압 발생부(200) 및 RC 필터(300)의 내부의 회로도이다.
- <37> 도 3을 참조하면, 온-칩 기준전압 발생부(200)는 기준전류 발생부(220)와, 기준전류(IREFIN)를 이용하여 양자화 레벨의 전압(REFT, REFC)을 생성하기 위해 전압레벨을 쉬프트시키는 전압레벨 쉬프터(240)와, 전압레벨 쉬프터(240)의 출력에 응답하여, 변화부(100)의 요구에 따른 전류량을 갖는 기준전압(REFBOT, REFTOP)을 출력하는 전압 드라이버부(260)를 구비하며, RC 필터(300)는 온-칩 기준전압 발생부(200)의 출력노드와 전원전압 사이에 직렬로 연결된 저항 및 커패시터로 구현된다.
- <38> 각 블록에 대해서 구체적으로 살펴보면, 전압레벨 쉬프터(240)는 기준전류(IREFIN)에 대응하는 전압 및 피드백 전압(TR2)을 비교하기 위한 비교부(242)와, 비교부(242)의 출력신호에

응답하여 양자화 레벨의 전압(REFT, REFC)을 공급하기 위한 드라이버(PM1)와, 드라이버(PM1)의 출력전압을 분배하여 상기 피드백 전압(TR2)으로 출력하기 위한 전압분배부(244)를 구비한다.

<39> 그리고 전압 드라이버부(260)은 양자화 레벨의 전압(REFT, REFC)과 기준전압(REFTOP, REFBOT)을 비교하기 위한 비교부(262, 264)와, 비교부(262, 264)의 출력신호에 제어받아 변환부(100)의 요구에 따른 전류량을 갖는 기준전압(REFTOP, REFBOT)을 공급하기 위한 드라이버(PM2, NM1)를 구비한다.

<40> 다음으로 온-칩 기준전압 발생부(200)의 동작 살펴보면, 먼저 기준전류 발생부(220)에 의해 기준전류(IREFIN)가 출력되며, 전압레벨 쉬프터부(240)는 이를 입력으로 하여 출력되는 양자화 레벨의 전압(REFT, REFC)을 조절하여 출력한다. 이어 전압 드라이버부(260)는 양자화 레벨의 전압(REFT, REFC)에 응답하여 변환부(100)에서 요구되는 전류량을 갖는 기준전압(REFBOT, REFTOP)을 출력한다.

<41> 도 4는 도 3의 RC 필터(280)를 위한 온-칩 커패시터의 구현 회로도이다.

<42> 도 4를 참조하면, 커패시터는 전압드라이버부의 출력노드가 게이트(G)에 연결되고 소스(S), 드레인(D) 및 바디(B)가 공급전압원(VDD)에 연결된 PMOS 트랜지스터로 구현된다.

<43> PMOS 커패시터의 게이트(G)에 기준전압(REFTOP 또는 REFBOT)을 각각 연결하고 드레인(D)과 소스(S)에는 공급전압원(VDD)을 연결하여 강반전(strong inversion) 영역에서 동작하도록 함으로써, PMOS 트랜지스터의 몸체 효과(body effect)를 감소시킨다.

<44> 참고적으로, ADC 칩 내부에서 사용되는 커패시터에는 MIM(Metal-Insulator-Metal)과 PMOS 커패시터가 있어, PMOS 커패시터는 MIM 커패시터에 비해 단위 면적당 큰 값의 커패시턴스를 갖기 때문에 고정 바이어스 전압이 요구되고 큰 커패시턴스가 필요한 경우에 사용된다.

- <45> 도 5는 도 2의 회로 내 온-칩 기준전압 발생부(200)의 시뮬레이션 결과도로써, RC필터(300)를 사용한 온-칩 기준전압 발생부(200)를 종래기술에 따른 기준전압 발생부와 비교한다.
- <46> 설명에 앞서 몇가지 사항을 살펴보면, X축은 시간축으로 단위는 ns이며, Y축은 전압축으로 단위는 mV이다. 실선은 본 발명에 따른 ADC칩 내부에 구비된 온-칩 기준전압 발생부(200) 및 RC 필터(300)로 부터 공급된 기준전압을, 점선은 종래기술에 따라 ADC칩 외부에 구비된 기준전압 발생부 및 커패시터로 부터 공급된 기준전압을 나타낸다.
- <47> 그리고 본 시뮬레이션에서는 본 샘플에서 사용된 패키지 정보를 이용하여 본딩 패드가 갖는 기생 인덕턴스와 커패시턴스를 각각 2.5nH와 0.7pF으로 가정하였다. 또한, 본 발명에 따른 RC필터(300) 내 커패시터와 종래기술에 따른 ADC 칩 외부에 장착된 커패시터의 커패시턴스를 0.1 μ F으로 하였다.
- <48> 본 시뮬레이션을 220MHz 클럭에서 수행한 결과, 본 발명에 따른 ADC칩 내 온-칩 기준전압 발생부(200) 및 RC필터(300)를 통해 공급되는 기준전압이 안정화되기까지의 안정화 시간(settling time)이 0.45ns로 측정되므로, 400MHz 이상의 속도에서도 동작이 가능함을 확인할 수 있다.
- <49> 참고적으로 안정화되기 까지 걸린 시간은 기준전압의 레벨이 ± 2 mV의 스윙폭을 갖는데 까지 걸리는 시간이다.
- <50> 도 6은 본 발명에 따른 ADC 칩의 샘플로써, 성능 측정을 위해 0.25 μ m CMOS 공정에서 샘플 제작되었다.

- <51> SHA은 샘플링 스위치의 온-저항 및 입력 커패시터가 각각 40Ω, 1pF를 가지며, OP AMP의 -3dB 주파수는 526MHz를 갖도록 설계하였다. 또한, MDAC는 Folded-Cascade와 Unfolded-Cascade 구조를 갖는 2단 증폭기 및 100fF, 50fF의 단위 커패시터로 구현되었다.
- <52> 샘플의 입출력 패드를 제외하고 측정된 코어의 면적은 2.25mm²이다.
- <53> 참고적으로, 점선으로 표현된 영역은 고속동작 시 발생하는 회로 블록 간의 간섭, EMI(Electro Magnetic Interference) 문제 및 전원전압의 잡음을 줄이기 위해 아날로그신호 및 디지털신호 라인에 집적된 4000pF, 3000pF의 온-칩 PMOS 커패시터로 구현된 디커플링 커패시터(Decoupling capacitor)이다.
- <54> 도 7은 도 6의 샘플의 기능 측정 결과도로서, DNL(Differential nonlinearity) 및 INL(Integral nonlinearity)을 측정한 값이다.
- <55> 도 7를 참조하여 보면, 샘플 ADC의 DNL은 -0.44 ~ +0.43 LSB이며, INL은 -1.13 ~ +0.83 LSB 이다.
- <56> 도 8은 도 6의 샘플의 기능 측정 결과도로서, 120MHz 아날로그 신호를 220MS/s 주파수에 서 샘플링 한 디지털신호의 스펙트럼을 나타낸다.
- <57> 참고적으로, 디지털 신호는 220MS/s로 동작하는 ADC 칩 내부의 DCM(180)을 사용하여 220 MHz의 클럭을 1/4 다운 샘플링하여 측정하였다.
- <58> 도 9a는 샘플의 샘플링 주파수에 따른 SFDR(Spurious Free Dynamic Range) 및 SNDR(Signal to Noise and Distortion Ratio)을 나타낸 결과도이다.
- <59> 도 9a를 참조하면, 샘플링 주파수를 50MS/s에서 220MS/s까지 증가시킬 때 10MHz 주파수의 차동입력에서의 SNDR 및 SFDR를 나타낸 것이다. SNDR은 샘플링 주파수가 200MS/s로 증가할 때

까지 40dB 이상 유지되는 것을 확인할 수 있다. SNDR은 10MHz의 입력 주파수에서 최대 동작 주파수인 220MS/s가 되면 41dB에서 38dB로 3dB정도 감소한다.

<60> 도 9b는 샘플링 주파수가 220MS/s일 때, 입력 주파수의 증가에 따른 SNDR 및 SFDR을 나타낸다.

<61> 입력 신호의 주파수가 나이퀴스트 주파수(Nyquist Frequency)까지 증가할 때, SNDR과 SFDR이 각각 37dB, 49dB 이상을 유지하고 있는 것을 알 수 있다.

<62> 다음의 표 1은 상기에서 설명한 본 발명의 기능을 요약 정리한 것이다.

<63> 【표 1】

Resolution	8 bits
Max. Rate	220 MS/s
Process	0.25 um CMOS
Input Range	1 Vp-p
SNDR	at 200 MS/s . 40.8 dB at 10 MHz, 40.1 dB at 120 MHz, . 37.4 dB at 500 MHz
	at 220 MS/s . 38.0 dB at 10 MHz, 36.9 dB at 120 MHz, . 34.3 dB at 500 MHz
SFDR	at 200 MS/s . 49.5 dB at 10 MHz, 49.3 dB at 120 MHz, . 47.2 dB at 500 MHz
	at 220 MS/s . 47.3 dB at 10 MHz, 48.6 dB at 120 MHz, . 41.4 dB at 500 MHz
DNL	-0.44 LSB / +0.43 LSB
INL	-1.13 LSB / +0.83 LSB
ADC Core Power	220 mW at 220 MS/s
Active Die Area	2.25 mm ² (= 1.5 mm × 1.5 mm)

<64> 도 10은 타 ADC와 본 발명에 따른 ADC 칩의 성능 비교도이다.

<65> 도 10을 참조하여 보면, 바이폴라 공정으로 제작된 ADC 칩은 전력 소모량이 많고, CMOS 공정으로 제작된 회로들은 단일 칩으로 제작되지 못하여 전체 시스템 제작비용이 증가하는 단

점을 가졌으나, 전술한 본 발명에 따른 ADC칩은 샘플링 속도, 면적 및 전력소모 면에서 장점을 갖는 것을 확인할 수 있다.

<66> 참고적으로, FoM(Figure of Merit)은 다음과 같이 정의된다.

<67> 【수학식 1】 $FoM = ((2 \cdot ERBW)^{2^{ENOB}} / Power) (MHz/mW)$

<68> 상기 수학식 1의 ERBW(Effective Resolution Bandwidth)는 낮은 입력 주파수에서의 신호 대 잡음 비(Signal to Noise Ratio; SNR) 값보다 3dB떨어진 SNR값이 나올 때 입력 주파수이며, ENOB(Effective Number Of Bits)는 ADC의 유효 비트로 정의된다.

<69> 전술한 실시 예에서는 ADC칩을 예로써 제시하였으나, 기준전압을 필요로 하는 DAC(Digital to Analog Converter), 필터 등과 같은 제반 직접시스템 IC에도 본 발명은 적용될 수 있다. 즉, 기준전압을 이용하여 입력신호를 DAC 처리하는 회로와 상기 기준전압을 제공하는 온-칩 기준전압발생기 및 RC 필터가 함께 직접화된 DAC칩에도 본 발명은 응용될 수 있으며, 아울러 기준전압을 이용하여 입력신호를 필터링하는 회로와 기준전압을 제공하는 온-칩 기준전압 발생기 및 RC 필터가 함께 직접화된 필터링 기능의 칩에도 본 발명은 응용될 수 있다.

<70> 이와같이 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다

**【발명의 효과】**

<71> 전술한 본 발명은 기준전압의 안정화 시간은 0.45ns이며, ADC칩 면적은 입출력 패드를 제외한 코어면적이 2.25mm²이다. 또한, 측정된 DNL 및 INL은 각각 -0.44 ~ +0.43 LSB, -1.13 ~ +0.83 이다. SNDR은 200MS/s, 220MS/s 샘플링 주파수에서 입력 주파수가 수 MHz에서 120MHz 까지 증가할 때 각각 40dB 및 37dB로 유지되며, 입력주파수가 500MHz까지 증가할 때는 120MHz의 경우에 비해 3dB정도만 감소된다.

【특허청구범위】**【청구항 1】**

아날로그 입력신호를 양자화하기 위한 기준전압을 제공하는 온-칩 기준 전압 발생수단;
및

상기 기준전압을 이용하여 아날로그 입력신호를 디지털 출력신호로 변환시키기 위한 변환수단

을 구비하는 ADC 칩.

【청구항 2】

제1항에 있어서,

상기 온-칩 기준전압 발생수단의 출력노드에 인가된 노이즈를 제거하기 위해 RC 필터를 더 구비하는 것을 특징으로 하는 ADC 칩.

【청구항 3】

제1항 또는 제2항에 있어서,

상기 온-칩 기준 전압 발생수단은,

기준전류 발생부;

상기 기준전류를 이용하여 양자화 레벨의 전압을 생성하기 위해 전압레벨을 쉬프트시키는 전압레벨 쉬프터;



상기 전압레벨 쉬프터의 출력에 응답하여, 상기 변환수단의 요구에 따른 전류량을 갖는
상기 기준전압을 출력하는 전압 드라이버부
를 구비하는 것을 특징으로 하는 ADC 칩.

【청구항 4】

제3항에 있어서,

상기 전압레벨 쉬프터는,

상기 기준전류에 대응하는 전압 및 피드백 전압을 비교하기 위한 비교부와, 상기 비교부
의 출력신호에 응답하여 상기 양자화 레벨의 전압을 공급하기 위한 드라이버와, 상기 드라이버
의 출력전압을 분배하여 상기 피드백 전압으로 출력하기 위한 전압분배부를 구비하는 것을 특
징으로 하는 ADC 칩.

【청구항 5】

제4항에 있어서,

상기 전압레벨 쉬프터는 상기 비교부와 상기 드라이버의 출력노드 사이에 연결되어 상기
양자화 레벨의 전압이 높은 주파수에서 안정성을 갖도록 하기 위한 커패시터를 더 구비하는
것을 특징으로 하는 ADC 칩.

【청구항 6】

제4항에 있어서,

상기 비교부는 상기 기준전류에 대응하는 전압과 상기 피드백 전압을 입력으로 하는 전류 미러형 차동증폭기를 포함하는 것을 특징으로 하는 ADC 칩.

【청구항 7】

제4항에 있어서,

상기 드라이버는 상기 비교부의 출력신호를 게이트 입력으로 하며 상기 공급전압원과 자신의 출력노드 사이에 소스-드레인 경로를 가지는 피모스트랜지스터로 구현되는 것을 특징으로 하는 ADC 칩.

【청구항 8】

제4항에 있어서,

상기 분배부는 상기 드라이버의 출력노드와 접지전압원 사이에 직렬로 연결된 복수개의 저항으로 구현되는 것을 특징으로 하는 ADC 칩.

【청구항 9】

제4항에 있어서,

상기 드라이버는 제1양자화 레벨의 전압을 공급하고, 상기 분배부는 상기 출력노드와 상기 접지전압원 사이에 직렬로 배치된 다수개의 저항으로 구현되어 제2양자화 레벨의 전압 및 상기 피드백전압을 공급하는 것을 특징으로 하는 ADC 칩.

【청구항 10】

제3항에 있어서,

상기 전압드라이버부는,

상기 양자화 레벨의 전압과 상기 기준전압을 비교하기 위한 비교부와, 상기 비교부의 출력신호에 제어받아 상기 변환수단의 요구에 따른 전류량을 갖는 상기 기준전압을 공급하기 위한 드라이버를 구비하는 것을 특징으로 하는 ADC 칩.

【청구항 11】

제10항에 있어서,

상기 전압드라이버부는 상기 비교부의 출력노드와 상기 드라이버의 출력노드 사이에 직렬로 연결되어 상기 기준전압이 높은 주파수에서 안정성을 갖도록 하기 위한 커패시터 및 저항을 더 구비하는 것을 특징으로 하는 ADC 칩.

【청구항 12】

제10항에 있어서,

상기 비교부는 상기 양자화 레벨의 전압 및 상기 기준전압을 입력으로 하는 전류 미러형 차동증폭기를 포함하는 것을 특징으로 하는 ADC 칩.

【청구항 13】

제10항에 있어서,



상기 드라이버는 상기 비교부의 출력신호를 게이트 입력하며 상기 공급전압원과 자신의 출력노드 사이에 소스-드레인 경로를 갖는 MOS 트랜지스터로 구현되는 것을 특징으로 하는 ADC 칩.

【청구항 14】

제9항에 있어서,

상기 전압드라이버부는,

상기 제1양자화 레벨의 전압 및 제1기준전압을 입력으로 갖는 제1비교부와 상기 제1비교부의 출력신호에 제어받아 상기 제1기준전압을 공급하기 위한 제1공급부와, 상기 제1 양자화 레벨의 전압 안정화를 위해 상기 제1비교부의 출력노드와 상기 제1공급부의 출력노드 사이에 직렬로 배치된 제1커패시터와 제1저항을 구비하는 제1 전압드라이버부; 및

상기 제2양자화 레벨의 전압 및 제2 기준전압을 입력으로 갖는 제2비교부와 상기 제2비교부의 출력신호에 제어받아 상기 제2 기준전압을 공급하기 위한 제2공급부와, 상기 제2 양자화 레벨의 전압 안정화를 위해 상기 제2비교부 및 상기 제2공급부의 출력노드 사이에 직렬로 배치된 제2커패시터와 제2저항으로 구비하는 제2 전압드라이버부

를 구비하는 것 특징으로 하는 ADC 칩.

【청구항 15】

제2항에 있어서,

상기 RC필터를 구성하는 커패시터는 상기 전압드라이버부의 출력노드가 게이트단에 연결되고 소스, 드레인 및 바디가 공급전압원에 연결된 피모스트랜지스터로 구현되는 것을 특징으로 하는 ADC 칩.

【청구항 16】

기준전압을 이용하여 입력신호를 처리하는 회로; 및

상기 기준전압을 공급하는 온-칩 기준전압 발생수단

을 구비하는 반도체 칩.

【청구항 17】

제16항에 있어서,

상기 온-칩 기준전압 발생수단의 출력노드에 인가된 노이즈를 제거하기 위해 RC 필터를 더 구비하는 것을 특징으로 하는 반도체 칩.

【청구항 18】

제17항에 있어서,

상기 RC필터를 구성하는 커패시터는 상기 전압드라이버부의 출력노드가 게이트단에 연결되고 소스, 드레인 및 바디가 공급전압원에 연결된 피모스트랜지스터로 구현되는 것을 특징으로 하는 반도체 칩.

【청구항 19】

제16항 내지 제18항 중 어느 한 항에 있어서,

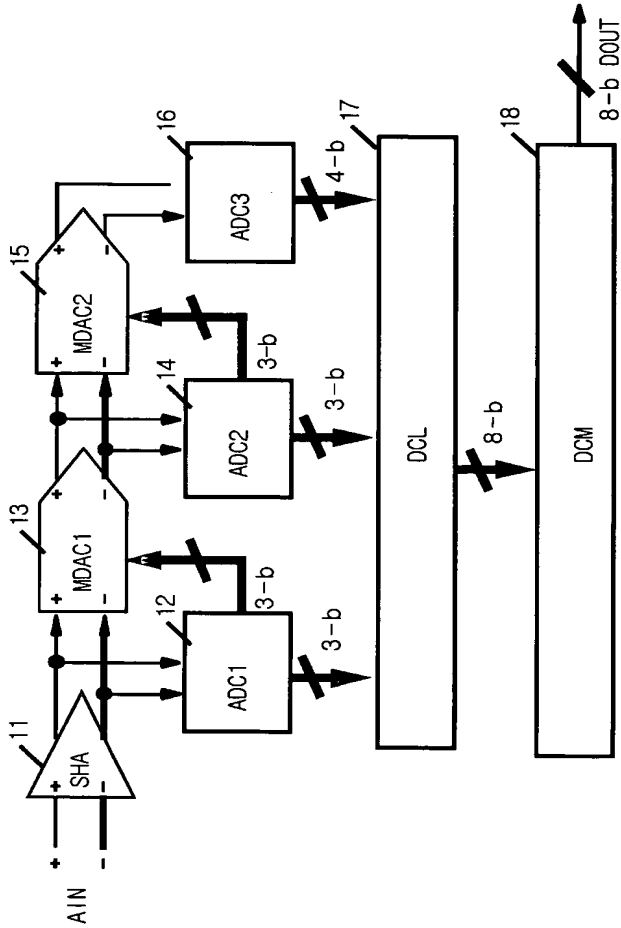
상기 회로는 상기 입력신호에 대해서 DAC를 수행하는 회로인 것을 특징으로 하는 반도체 칩.

【청구항 20】

제16항 내지 제18항 중 어느 한 항에 있어서,

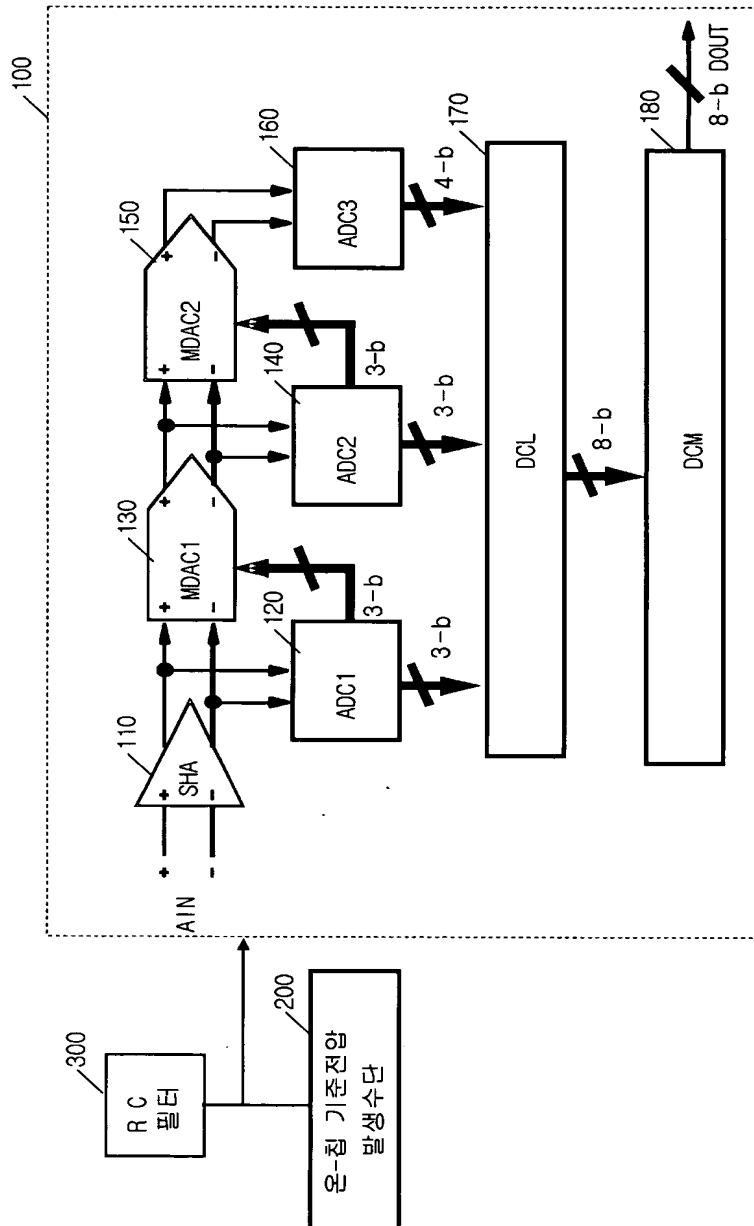
상기 회로는 상기 입력신호에 대해서 필터링을 수행하는 회로인 것을 특징으로 하는 반도체 칩.

【도 1】



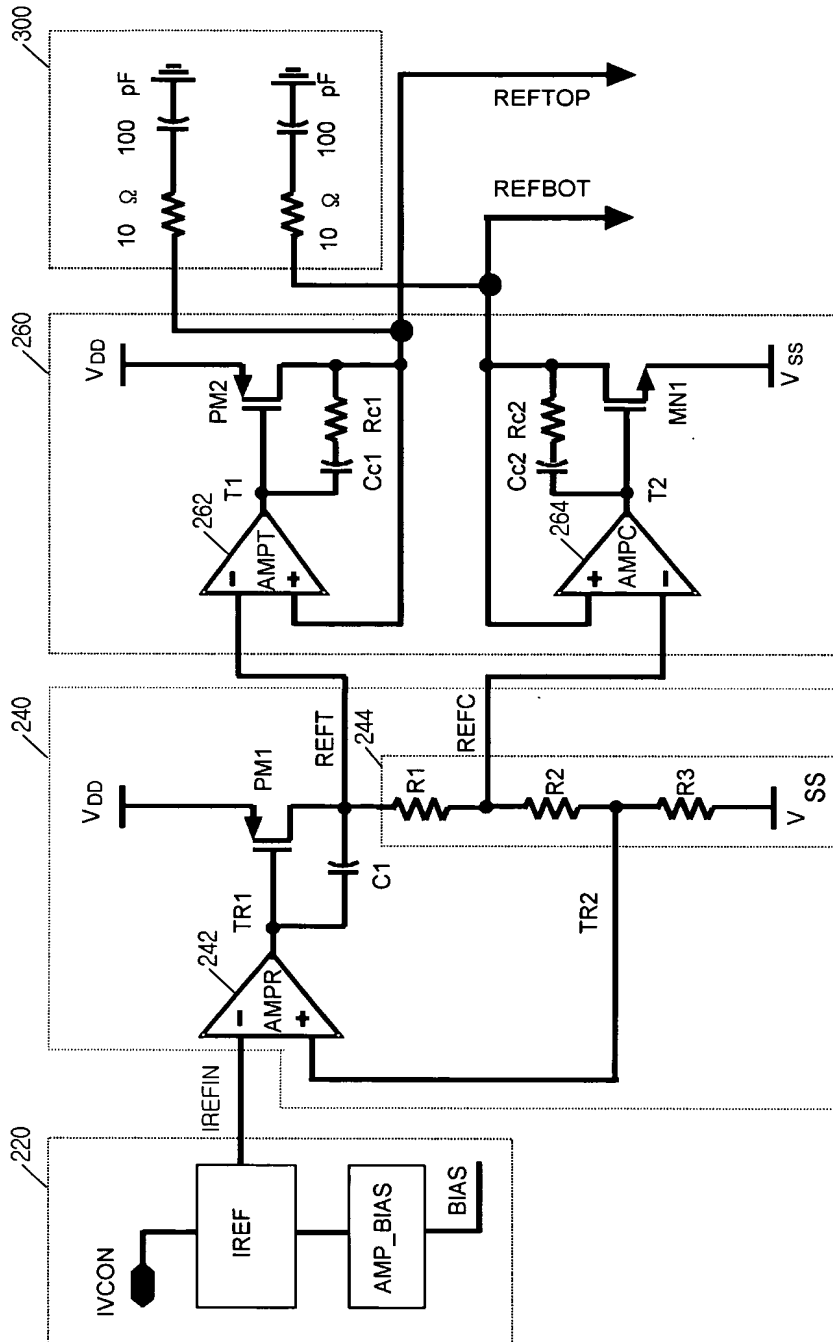
【도면】

【도 2】



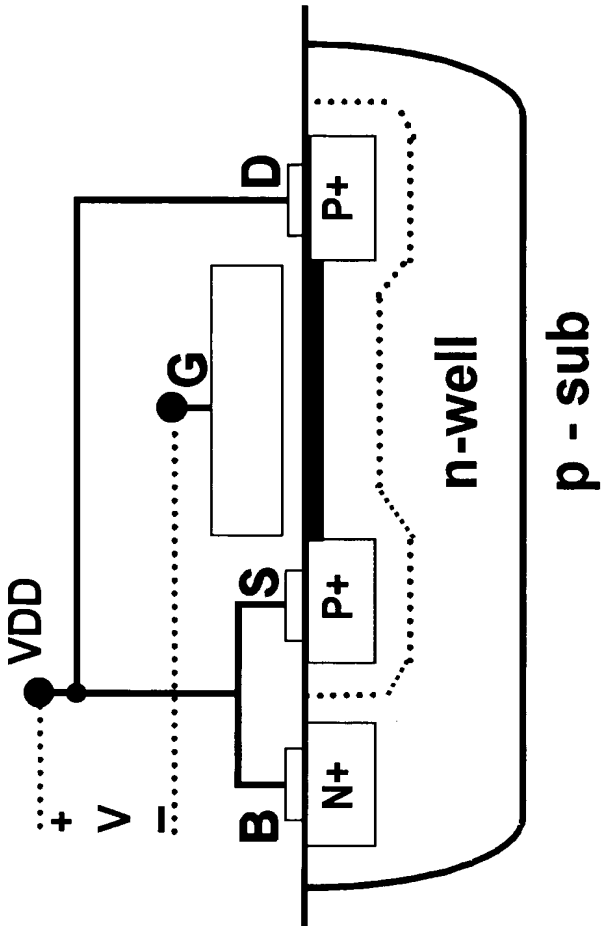


【도 3】

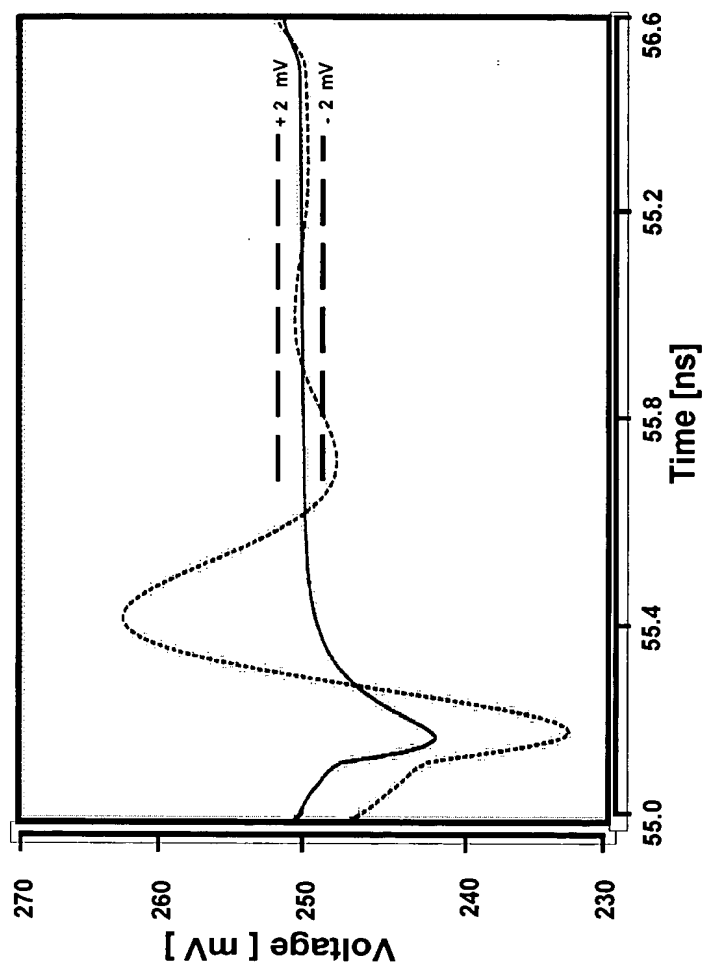




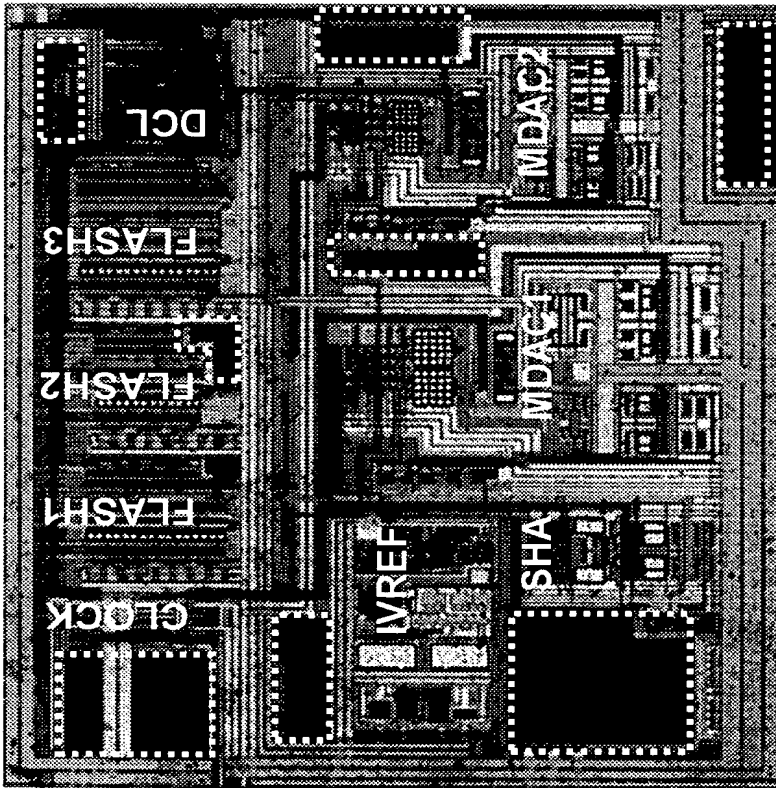
【도 4】



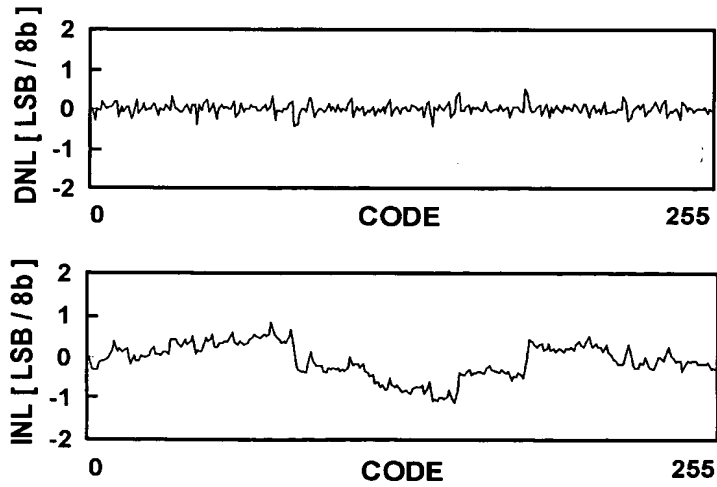
【도 5】



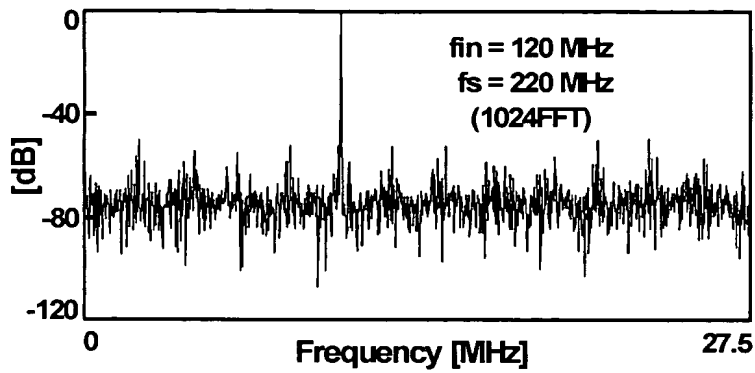
【도 6】



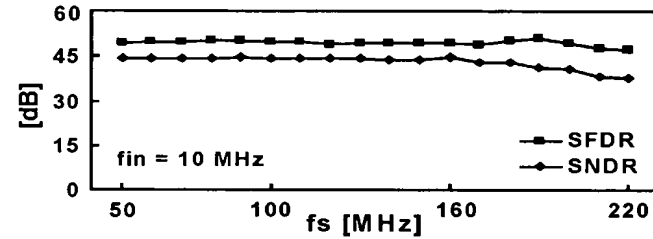
【도 7】



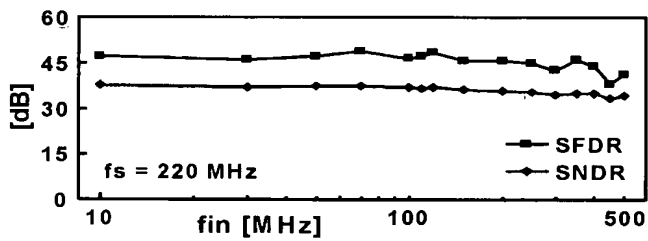
【도 8】



【도 9a】



【도 9b】



【도 10】

